

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-032914

(43)Date of publication of application : 04.02.1992

(51)Int.Cl.

G06F 1/24

(21)Application number : 02-133036

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 23.05.1990

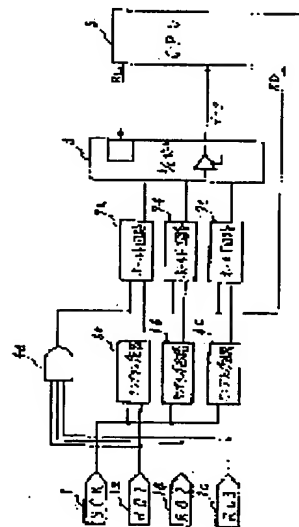
(72)Inventor : AISAKA TOMOKO

(54) RESETTING FACTOR IDENTIFYING CIRCUIT

(57)Abstract:

PURPOSE: To identify all reset factors and to take a measure corresponding to the updated generating factor by providing sampling circuits and holding circuits corresponding to plural reset signals and holding generated reset factors.

CONSTITUTION: The circuit is provided with the sampling circuits 6a - 6c which receive reset inputs 1a - 1c corresponding to the reset factors, a logic circuit 4a which processes all the reset inputs 1a - 1c logically, and the holding circuits 7a - 7c which hold the outputs of the sampling circuits 6a - 6c at the output timing of the logic circuit 4a. When the respective reset inputs 1a - 1c corresponding to the respective reset factors are generated at optional timing, the generation states of the reset inputs 1a - 1c are sampled by the sampling circuits which correspond to the respective inputs, the reset inputs are regarded as the reset factors when generated to hold their states by the holding circuits 7a - 7c respectively, and the updated reset factor is read by a CPU 5. Consequently, the generation factors of the reset inputs can securely be identified.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-32914

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月4日

G 06 F 1/24

7832-5B

G 06 F

1/00

3 5 0 B

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 リセット要因識別回路

⑯ 特 願 平2-133036

⑰ 出 願 平2(1990)5月23日

⑱ 発 明 者 逢 坂 知 子 兵庫県神戸市兵庫区和田崎町1丁目1番2号 三菱電機株式会社制御製作所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大 岩 増 雄 外2名

明 細 書

1. 発明の名称

リセット要因識別回路

2. 特許請求の範囲

(1) リセット要因に対応した複数個のリセット入力をそれぞれ検出し各リセット入力の有無をサンプリングするサンプリング回路、上記複数個のリセット入力の論理をとる論理回路およびこの論理回路の出力タイミングで上記サンプリング回路の出力をそれぞれ保持するホールド回路を備え、上記ホールド回路の出力をCPUに与えるようにしたリセット要因識別回路。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、コンピュータにおいて複数個のリセット要求が発生した場合にそれらのリセット要因を識別し、各要因に対応して適切な処理を行うためのリセット要因識別回路に関する。

(従来の技術)

コンピュータでは、電源電圧の立ち上がり時点

やランニング中の異常発生時などに、RAMの内容やI/Oポートが不定(ランダム)な状態となる。よって、その後のコンピュータの異常動作を防止するために、いったんコンピュータをソフトウェアにより初期状態に設定(リセット)する必要がある。このリセットは、電源電圧の立ち上がりやオペレータの判断によって与えられるタイミング信号などにより開始される。ここでリセットを行う場合は、その要因(リセット要因)により初期状態にすべきやり方が異なって来るので、リセット要因の識別が必要となる。

従来技術の例として、実開昭63-80626号公報に示されるリセット入力が2種類の場合のリセット要因識別回路の概念構成図を第6図に示す。図において、(1a)および(1b)はそれぞれリセット入力(リセット要求入力)R01およびR02、(2)はフリップフロップ回路で、その入力Sおよび入力Rにリセット入力R01(1a)およびR02(1b)がそれぞれ接続されている。また、(3)はフリップフロップ(2)の出力Qが入力

として接続されたI/Oポート、(4)はリセット入力RO1(1a)およびRO2(1b)を入力とするORロジックで、その出力はCPU(5)に接続されている。

次に動作について説明する。

(1a)はCPU(5)などからなるコンピュータシステムの電源電圧の立ち上がり時に有意(H)となるリセット入力RO1、また(1b)は該システムの運転員によるリセット動作開始指令により有意(H)となるリセット入力RO2である。リセット入力RO1(1a)およびRO2(1b)が無意(L)すなわちリセット要求が生じておらず、したがって、いま、フリップフロップ回路(2)の出力Qが無意(L)になっている場合を考える。この状態でコンピュータシステムの電源が投入されて電圧が立ち上がると、それに対応するリセット入力RO1(1a)がL→Hとなり、この信号がフリップフロップ回路(2)の入力Sに加えられる。したがって、該フリップフロップ回路(2)の出力QがL→Hとなる。この出力Qは

CPU(5)の入出力装置であるI/Oポート(3)に伝えられる。一方、リセット入力RO1(1a)はOR回路(4)を経由して、CPU(5)に接続されているので、該OR回路(4)の出力Tも有意(H)となっており、CPU(5)はこのタイミングを検知して、I/Oポート(3)を参照することにより、リセット入力RO1(1a)がH、すなわち電源の立ち上がりによるリセット要求が生起していることを認識する。次に電源の立ち上げが完了し、従ってリセット入力RO1(1a)がLの状態になっている場合に、運転員がリセット指令を出し、よってリセット入力RO2(1b)がL→Hとなった場合を考えると、該リセット入力RO2(1b)の状態変化は前記同様にOR回路(4)を経由してCPU(5)に伝えられる。CPU(5)はリセット要求が生起していることを知り、I/Oポート(3)の状態を参照するが、QはLの状態となっている。これはリセット入力RO2(1b)がHになり、このHがフリップフロップ回路

(2)の入力Rに伝えられても、その出力QはLの状態のままとなっているからである。この様にしてCPU(5)は、2個のリセット入力RO1(1a)およびRO2(1b)のいずれの信号がHとなっているかを知ることにより、ソフトウェアでそれぞれのリセット要求に応じた適切な処置をとることができる。

(発明が解決しようとする課題)

リセット要因としては一般に複数個があり、これらリセット要求の発生時にその要因を識別し、それぞれの要因に応じてタイムリーにCPU(5)側で最適の処置をとることは、CPU(5)を含むコンピュータシステムの異常防止と安全性の確保のために不可欠である。しかし、前記の従来の実施例では、2個のリセット入力RO1(1a)とRO2(1b)をフリップフロップ回路(2)の入力RとSに接続しているので、その出力Qの状態により2種類のリセット要因しか判別出来ないという欠点があった。

この発明は上記のような問題点を解決するため

になされたもので、2種類以上のリセット入力が必要なタイミングで生じた場合でも、最新のリセット入力の発生を検知し、その状態を保持することによりリセット入力の発生要因を確実に識別することができるリセット要因識別回路を提供することを目的としている。

(課題を解決するための手段)

この発明に係るリセット要因識別回路では、複数個のリセット要因に対応したリセット入力をそれぞれ対応してとり込むサンプリング回路と、上記リセット入力の全ての論理をとる論理回路と、この論理回路の出力タイミングで上記サンプリング回路の出力をそれぞれに対応して保持するホールド回路とを備え、このホールド回路の出力をCPUに送ってそれぞれのリセット要因読み取り識別出来るようにした。

(作用)

上記のように構成されたリセット要因識別回路においてはそれぞれのリセット要因に対応する複数個のリセット入力が任意のタイミングで発生し

た場合に、これらリセット入力の発生状態をそれぞれの入力に対応するサンプリング回路でサンプルし、もし^は新夫入力が発生していればリセット要因としてその状態をそれぞれのホールド回路で保持し、最も新しいリセット要因をCPUで読みとってこれらそれぞれのリセット要因に対応する処置を行える。

(実施例)

以下、この発明の一実施例について説明する。第1図は、リセット入力信号が3個の場合のリセット要因識別回路の構成図、第2図～第4図は第1図の回路構成において、リセット入力それぞれ1個、2個および3個つまりリセット要因がそれぞれ1、2および3種類発生した場合のタイミングチャート、また第5図はリセット要因発生時に行われるリセット対応処置の概念フロー図である。

第1図において、第6図と同一符号は同一部または相当部分を示す。(1)はサンプリング回路のゲート入力信号などに用いる基準クロック信

号、(1a)～(1c)はそれぞれリセット入力RO1～RO3、(6a)～(6c)はそれぞれリセット入力(1a)～(1c)をサンプルして、リセット要求の発生状態を調べるサンプリング回路、(7a)～(7c)はそれぞれのサンプリング回路(6a)～(6c)の出力を保持するホールド回路、(4a)は全てのリセット入力RO1～RO3のAND回路で、この出力はホールド回路(7a)～(7c)のゲート入力および^{I/O}ポート(3)の要因読取り指令入力として用いられる。(3)はホールド回路(7a)～(7c)の出力をとり込むI/Oポートであり、(5)はI/Oポートの状態と読みとり、適切な処置を行うCPUである。

まず、最初に、第1図において、リセット入力RO1(1a)だけが生起する場合の動作を第2図のタイミングチャートを用いて説明する。なお、以下の説明中HおよびLはそれぞれ2値をとるロジック回路のハイレベルおよびローレベルのことで、信号の種類ごとに有意または無意が対

応している。図において、リセット入力RO1(1a)がt1時点で生起すると、リセット入力RO1(1a)の入力波形(b)はH→Lとなり、その後、t3時点で復^はしてHに戻るまでの期間はLとなっている。ただし、リセット入力RO1(1a)は有意期間(Lの期間)≧クロック信号の1周期となるように予め入力波形が整形されているものとする(以下、リセット入力RO2(1b)、RO3(1c)の場合も同様)。

全リセット入力RO1(1a)～RO3(1c)はAND回路(4a)に接続されており、したがって、t1およびt3時点でAND回路(4a)の出力波形(c)もリセット入力RO1(1a)の入力波形(b)に同期して、それぞれH→LおよびL→Hに移行する。サンプリング回路(6a)の出力波形(d)は、その入力であるリセット入力RO1(1a)がLとなっている時刻t1～t3の期間中における次の入力波形(a)の立ち上がり時点t2でH→Lとなり、また入力波形(b)がL→Hに戻った後の入力波形(a)の立ち上がり時

点t4でL→Hに戻る。

次に、ホールド回路(7a)の出力波形(e)は、出力波形(c)がL→Hに移行するt3時点でL→Hに移行する。この出力波形(e)は、接続されているI/Oポート(3)に送られ、これがリセット入力RO1(1a)に対応したリセット要因信号となる。なお、出力波形(e)は、次にリセット入力が生起しそれに応じて出力波形(c)がL→Hに戻るまでHのままとなる。また、このリセット要因の出力波形(c)の立上がり信号は、要因読取指令入力RDとしてCPU(5)に送られる。ここでCPU(5)は第5図に概略を示すリセット対応処理フローのプログラムの実行に移る。すなわち、CPU(5)はリセット処理開始工程(5a)をスタートし、まず必要な前処理工程(5b)を実行してからリセット要因読取り工程(5c)に移り、I/Oポート(3)に読み出し命令RLを送ってリセット要因データを読み込む。要因判定工程(5d)で、リセット~~RO1~~入力(RO1)に対応する要因が発

生しているの、次のR O 1 処理工程 (5e) に移って、必要な対応処置を実行しリセット処理が完了する。

続いて、リセット入力R O 1 (5a) およびR O 2 (1b) の2個のリセット入力が生起し、かつそれぞれH→Lとなるタイミングの時間差 (第3図の時間 $t_2 - t_1$) が1クロック周期以下の場合の動作を第3図のタイミングチャートによって説明する。リセット入力R O 1 (1a) とR O 2 (1b) の入力波形 (b) および (c) がH→LおよびL→Hに移行すると、AND回路 (4a) の出力波形 (d) は入力波形 (b) のH→Lに移行する t_1 時点から入力波形 (c) がL→Hに移行する t_4 時点の期間中Lとなる。また、それぞれサンプリング回路 (6a) および (6b) の出力波形 (e) および (f) は、クロックの立ち上がる t_3 時点とともにH→Lとなり、また次にクロックの立ち上がる t_5 時点でL→Hとなる。さらに、I/Oポート (3) に送られてそれぞれリセット入力R O 1 (1a) およびR O 2 (1b)

に対応したリセット要因信号となるホールド回路 (7a) および (7b) の出力波形 (g) および (h) は、出力波形 (d) の立ち上がる t_4 時点とともにL→Hとなり、これは第2図の場合と同様にその後いずれかのリセット入力が生起してその結果出力波形 (d) がL→Hになる時点までHの状態を保持する。

CPU (5) へのリセット要因読み込み指令信号RDは、第2図の場合と同様に、AND回路 (4a) の出力波形 (d) のL→Hへの移行時点で発せられ、以下前記と同様にして第5図のリセット処理開始工程 (5a) に移る。要因判定工程 (5d) を実行した結果、R O 1 処理工程 (5e) およびR O 2 処理工程 (5f) を実行する (ソフトウェアによりどちらか一方を実行することも可能)。

最後に、3個以上の複数個のリセット入力が生起する場合として、リセット入力R O 1 (1a) ~ R O 3 (1c) の3個が生起し、かつ1番目と2番目に生起するリセット入力R O 1 (1a) および

R O 2 (1b) のH→L移行時点の時間差 (第4図の $t_4 - t_1$) が1クロック周期より大きい場合の動作を第4図のタイミングチャートによって説明する。リセット入力R O 1 (1a) の入力波形 (b) に関しては、第2図の場合と同様でAND回路 (4a) の出力波形 (e) のごとくL→Hへの立ち上がり時点 t_3 で、リセット入力R O 1 (1a) に対応するリセット要因信号となるホールド回路 (7a) の出力波形 (i) がL→Hとなる。また、この出力波形 (i) は、その後のリセット入力R O 2 (1b) またはR O 3 (1c) に対応して、2度目に出力波形 (e) がL→Hに立ち上がる時点 t_7 でH→Lに戻る。と同時に、リセット入力R O 2 (1b) またはR O 3 (1c) に対応したリセット要因信号であるホールド回路 (7b) および (7c) の出力波形 (j) および (k) は、L→HとなりI/Oポート (3) にその情報が送られる。次に、I/Oポート (3) に送られたリセット要因信号の読取り指令入力RDであるが、これは出力波形 (e) のL→

H移行する t_3 時点および t_7 時点の2ヶ所でCPU (5) に伝えられる。 t_3 時点の指令はリセット入力R O 1 (1a) に対応するものであり、CPU (5) は前記同様第5図の処理フローに移行してR O 1 処理 (5e) を実行する。また t_7 時点では出力波形 (i) が既にH→Lになってリセット入力R O 1 (1a) 対応のリセット要因が消滅してしまっており、したがってそれぞれリセット入力R O 2 (1b) およびR O 3 (1c) に対応したR O 2 処理 (5f) およびR O 3 処理工程 (5g) が実行される。この場合 t_7 時点において時間間隔 ($t_7 - t_3$) がR O 1 処理工程 (5e) のために短すぎる場合はR O 1 処理工程 (5e) が途中で中止され、R O 2 処理工程 (5f) およびR O 3 処理工程 (5g) が実行される。したがってCPU (5) は最新のリセット要求に対応した運転モードでランニングできる。

また、上記実施例では、リセット入力R O 1 (1a) ~ R O 3 (1c) の最大3個の場合を示したが3個より多い任意の個数の場合にも同様

の効果を奏する。

また、上記実施例では、サンプリング回路 (6a) ~ (6c) およびホールド回路 (7a) ~ (7c) のタイミングをそれぞれクロック信号および全リセット入力 AND 回路 (4a) 回路の L → H の立ち上がりのタイミングでとったが、必ずしもこのタイミングでなくともよい。

また、リセット要因の読取り指令入力 RD の代わりに CPU (5) で一定周期ごとに I/O ポート (3) の内容を参照してリセット要因の発生を検知することにより、それぞれの要因に応じた対応処置を実行するように構成しても同様効果を奏する。

(発明の効果)

この発明は、以上説明したように複数個のリセット入力信号のそれぞれに対応してサンプリング回路およびホールド回路を設けて発生したリセット要因を保持するように構成しているので、複数個のリセット要因が任意のタイミングで発生した時にも、それらの要因を全て識別し、かつ最新

の発生要因に対応した処置を行える。

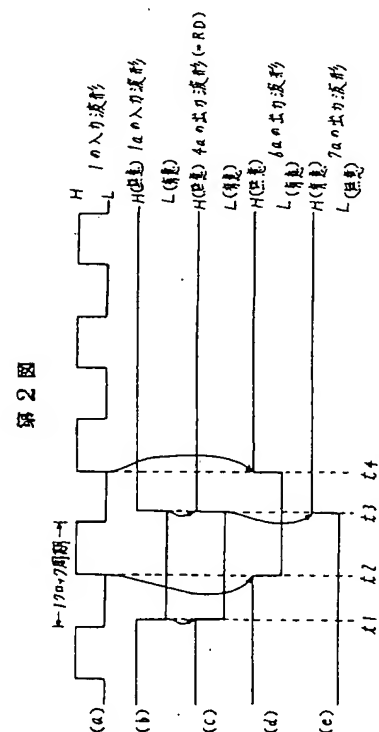
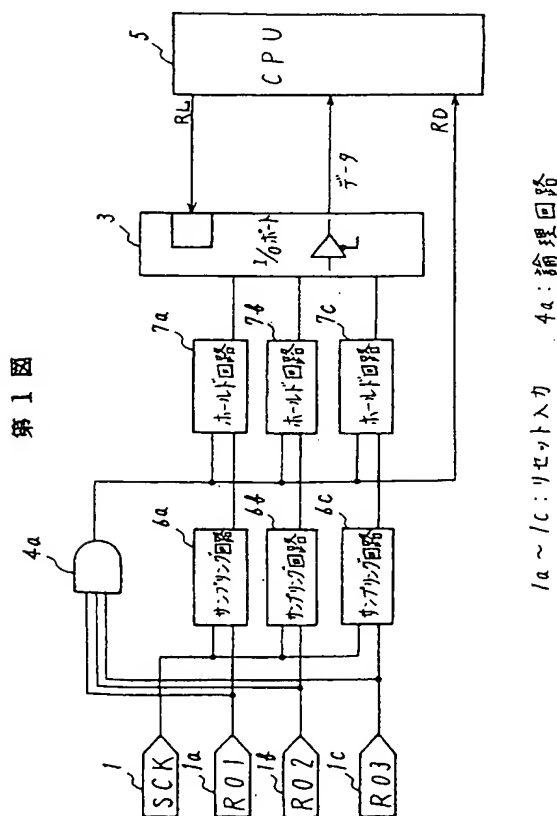
4. 図面の簡単な説明

第1図はこの発明の一実施例を示すリセット要因識別回路のブロック図、第2図~第4図は、それぞれ第1図の回路においてリセット入力1個、2個および3個発生した場合のタイミングチャート、第5図は概略のリセット対応処理フロー図、第6図は従来のリセット識別回路の例を示す図である。

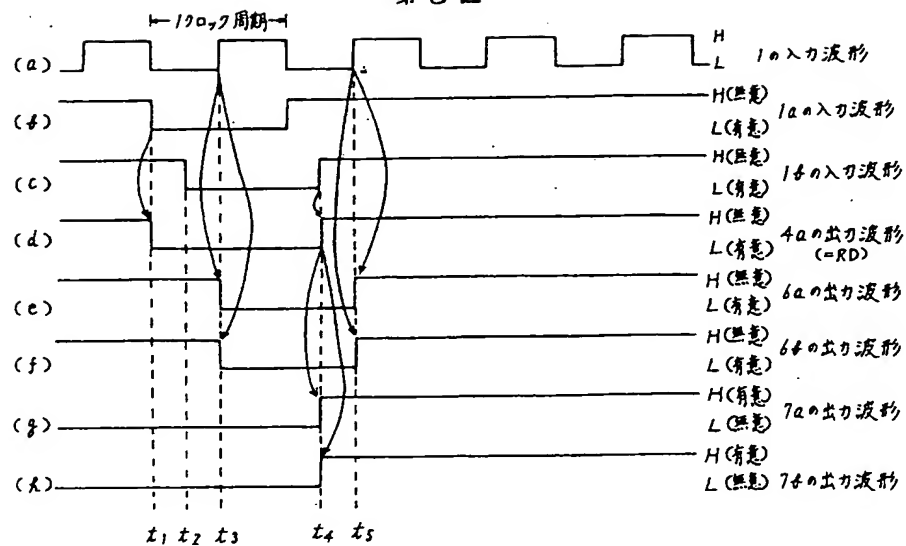
図において、(1a) ~ (1c) はそれぞれリセット入力 RO1 ~ RO3、(6a) ~ (6c) はサンプリング回路、(7a) ~ (7c) はホールド回路である。

なお、各図中同一符号は同一又は相当部分を示す。

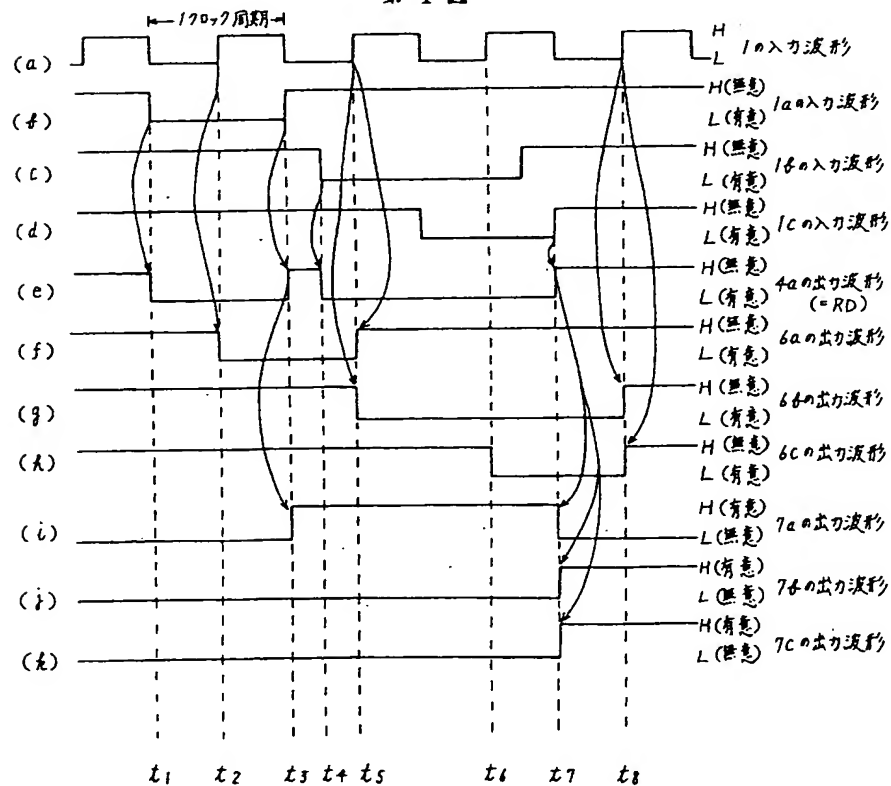
代理人 大 岩 増 雄



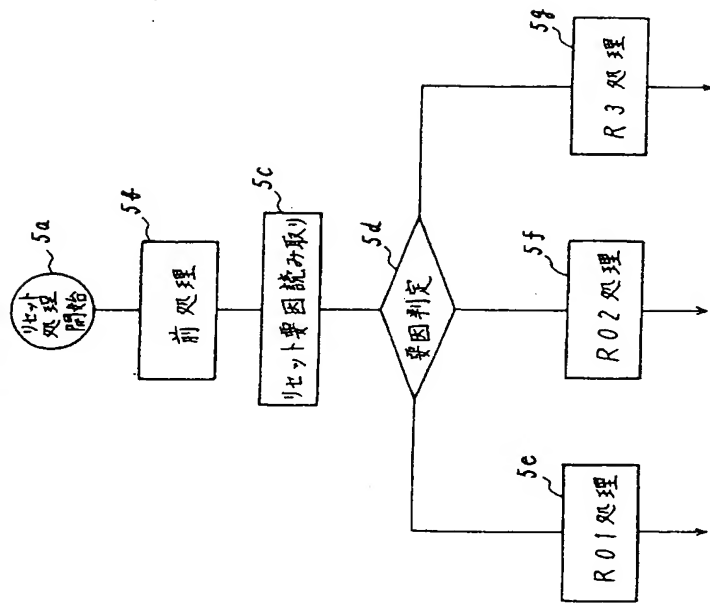
第 3 図



第 4 図



第5図



第6図

